

⑩ 日本国特許庁 (JP)  
⑫ 公開特許公報 (A)

⑪ 特許出願公開  
昭59—193064

⑨ Int. Cl.<sup>3</sup>  
H 01 L 29/78  
// H 01 L 29/60

識別記号

庁内整理番号  
7377—5F

⑬ 公開 昭和59年(1984)11月1日

発明の数 1  
審査請求 未請求

(全 4 頁)

⑭ 高耐圧縦型トランジスタ装置

門真市大字門真1048番地松下電  
工株式会社内

⑮ 特 願 昭58—67198  
⑯ 出 願 昭58(1983)4月15日  
⑰ 発 明 者 田中義光

⑱ 出 願 人 松下電工株式会社  
門真市大字門真1048番地  
⑲ 代 理 人 弁理士 松本武彦

明 細 書

1. 発明の名称

高耐圧縦型トランジスタ装置

2. 特許請求の範囲

(1) 半導体基板と、この半導体基板の表面に形成されるV字溝と、このV字溝の内面および上記半導体基板の表面を被覆する酸化膜と、上記V字溝内面の酸化膜の部分に形成されるゲート電極と、上記半導体基板の裏面に形成されるドレイン電極と、上記V字溝の両側に厚み方向に所定の順序で形成される左右一対のP形拡散層およびN形拡散層を備え、上記V字溝の両側に形成される左右一対のP形拡散層およびN形拡散層のうちの最下層の左右一対の拡散層が、上記V字溝から所定の距離だけ離れたところからV字溝を挟んだ状態でV字溝の溝底より下方に伸び、その下方に伸びた左右一対の拡散層の部分の間隔が一部において狭くなっていること特徴とする高耐圧縦型トランジスタ装置。

3. 発明の詳細な説明

(技術分野)

この発明は高耐圧縦型トランジスタ装置に関するものである。

(背景技術)

半導体基板に、V字形の溝が形成されている縦形MOSトランジスタは、高周波用パワートランジスタとして優れた特性を有している。しかしながら、ドレイン電圧が高くなる。すなわち、第1図に示すようにV字溝1の先端部(鎖線で囲まれた部分a)で電界が集中し、ゲート酸化膜2の絶縁破壊が生じるという難点があり、耐圧の向上は困難であつた。第1図において、3はシリコン基板、4はP形拡散層、5はN形拡散層、6はドレイン、7はソース、8はゲートである。

(発明の目的)

この発明は、縦型トランジスタ装置の耐圧の向上を目的とする。

(発明の開示)

この発明は、半導体基板と、この半導体基板の表面に形成されるV字溝と、このV字溝の内面お

よび上記半導体基板の表面を被覆する酸化膜と、上記V字溝内面の酸化膜の部分に形成されるゲート電極と、上記半導体基板の裏面に形成されるドレイン電極と、上記V字溝の両側に厚み方向に所定の順序で形成される左右一対のP形拡散層およびN形拡散層を備え、上記V字溝の両側に形成される左右一対のP形拡散層およびN形拡散層のうちの最下層の左右一対の拡散層が、上記V字溝から所定の距離だけ離れたところからV字溝を挟んだ状態でV字溝の溝底より下方に伸び、その下方に伸びた左右一対の拡散層の部分の間隔が一部において狭くなっていることを特徴とする高耐圧縦型トランジスタ装置をその要旨とする。

すなわち、上記のように溝の両側に形成される左右一対の拡散層のうち、最下層の拡散層を上記のように構成することによりV字溝先端における電界集中が大幅に緩和されるようになる。

つぎに、この発明を実施例にもとづいて詳しく説明する。

第2図はこの発明の一実施例の構成図である。

う空乏層が拡大する。このとき、下方に伸びた左右一対のP形拡散層4の部分に最小間隔部が存在するため、第3図に示すように、左右一対のP形拡散層4に沿う空乏層11がこの部分で連続し、空乏層端11aは破線で示すようにほぼ平面的になる。したがってV字溝1の先端と空乏層端11aとの距離が大になり、V字溝1先端での電界集中が大幅に緩和され、従来のようなV字溝1先端でのゲート絶縁破壊が防止されるようになる。第3図において矢印は電子の流れを示す。また、PN接合の空乏層11が上記のように平面的に連続するため接合耐圧の向上効果も得られるようになる。なお、このMOSトランジスタは、チャネル形成部分(第2図の鎖線で囲まれた部分A)と高耐圧構造部分(第2図の鎖線で囲まれた部分C)とを独立させた構造としているため、チャネル形成部分が高耐圧構造部分によつて影響を受けず、チャネル長、周波数特性等に影響を受けない。

つぎに、上記縦型MOSトランジスタの製造の一例について説明する。すなわち、第4図に示す

この縦型MOSトランジスタは、V字溝1の両側の基板3の部分に形成される左右一対の拡散層4、5のうち、最下層即ちP形拡散層4を、この溝1から所定の距離だけ離れたところから溝底1aを超えて下方に伸ばし、その下方に伸びた部分の間隔を中央部で狭く設定している。それ以外の部分は第1図のトランジスタと実質的に同じであり同一部分に同一符号を付している。すなわち、このトランジスタは、鎖線で囲まれた部分Aがチャネル形成部分となり、鎖線で囲まれた部分BがV字溝1の溝面とほぼ平行になつていてドレインとの接合を有する部分となつている。そして、鎖線で囲まれた部分CがV字溝1先端の電界を緩和させる能力を有する部分で、下方に伸びた左右一対のP形拡散層4の部分の間隔が最小になつている部分を含み、この最小間隔部で、左右一対のP形拡散層4の伸長部分に沿う空乏層を連続させて電界を緩和させる。

この構成において、ソース7を接地し、ドレイン6に正の電圧を印加すると、P形拡散層4に沿

ように、 $N^+ / N^+$  シリコン基板3に、P形拡散層4を拡散形成する。12は酸化膜である。つぎに、第5図に示すようにドレインN形拡散層13を拡散形成する。そして、第6図に示すように、さらに、前記P形拡散層4に一体化するP形拡散層14および前記N形拡散層5となるソース $N^+$ 形拡散層15を拡散形成し、ヒドラジンまたはKOHを主成分とするエッチング液でトランジスタ部分を第7図に示すようにV字形にエッチングしてV字溝1を形成する。つぎに、ゲート酸化、コンタクト窓あけおよび電極形成を行い第8図に示すような縦型MOSトランジスタを得る。このようにして製造された縦型MOSトランジスタは、チャネル形成部分となるP層14(第6図参照)と高耐圧用のP層4とが独立して形成されるため、チャネル長、周波数特性に全く影響を受けない。

#### 〔発明の効果〕

この発明の高耐圧縦型トランジスタ装置は、以上のよう構成されているため、V字溝先端部分

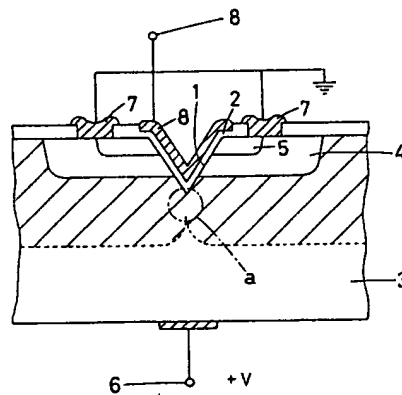
での電界集中が大幅に緩和され耐圧が著しく向上する。また、PN接合の空乏層が平面的に連続するため接合耐圧の向上効果も得られるようになる。しかも、高耐圧構造部分によつてチャネル形成部分が影響を受けないようになっているため、素子特性が劣化することがない。

#### 4. 図面の簡単な説明

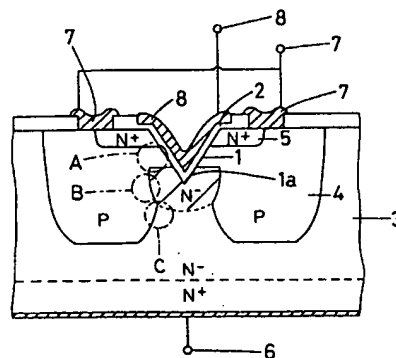
第1図はこの発明の基礎となるトランジスタの構成図、第2図はこの発明の一実施例の構成図、第3図はその動作説明図、第4図ないし第8図は同じくその製造説明図である。

1…V字溝 2…ゲート酸化膜 3…基板 4  
…P形拡散層 5…N形拡散層 6…ドレイン  
7…ソース 8…ゲート 11…空乏層 11a  
…空乏層端

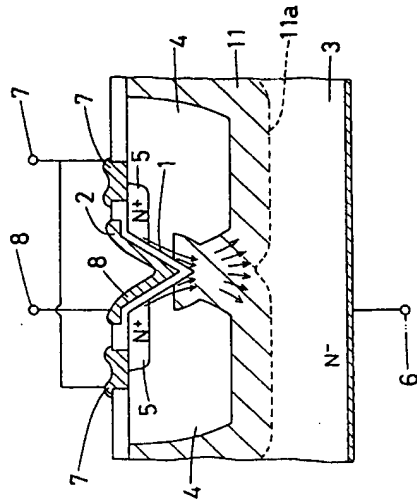
代理人 弁理士 松 本 武 彦



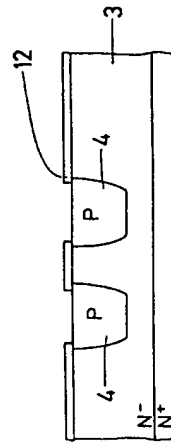
第1図



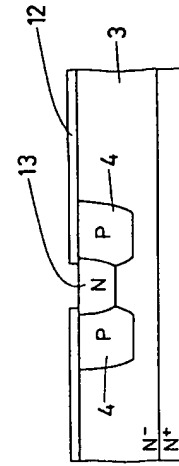
第2図



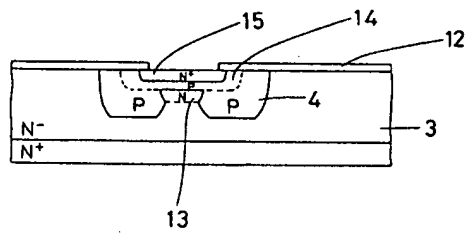
第 3 図



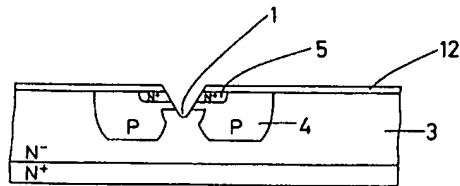
第 4 図



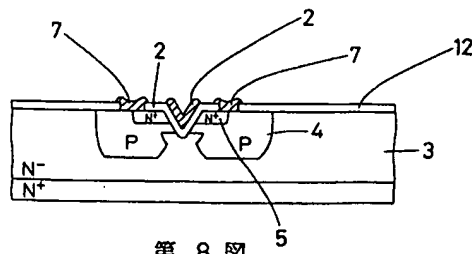
第 5 図



第 6 図



第 7 図



第 8 図



1 / 1

---

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : **59-193064**  
(43)Date of publication of  
application : **01.11.1984**

---

(51)Int.Cl. **H01L 29/78**  
**// H01L 29/60**

---

(21)Application number :	<b>58-067198</b>	(71) Applicant :	<b>MATSUSHITA ELECTRIC WORKS LTD</b>
(22)Date of filing :	<b>15.04.1983</b>	(72)Inventor :	<b>TANAKA YOSHIMITSU</b>

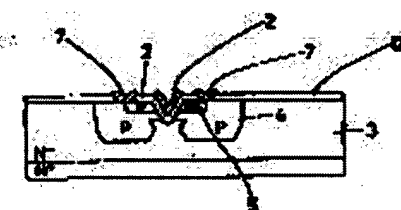
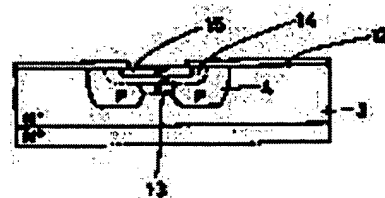
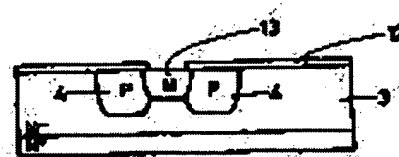
---

**(54) HIGH WITHSTAND VOLTAGE VERTICAL TYPE TRANSISTOR DEVICE**

(57)Abstract:

**PURPOSE:** To obtain the titled device by a method wherein the interval between a pair of diffused layers extending downward from the bottom of a V-groove of an Si substrate is made narrow at a part.

**CONSTITUTION:** An opening is bored in an oxide film 12 on the N-/N+ Si substrate 3, and a P-layer 4 and a drain layer 13 are successively diffused. Further, a P-layer 14 and an N+ layer 15 are diffused in an integral body to the layer 4, and then the V-groove 1 is formed with a solution whose main constituent is KOH. Next, when a vertical type MOS transistor is completed by gate oxidation and forming connection holes and electrodes 2, 7, the P-layer 14 at the channel forming part and the P-layer 4 for high withstand voltage are formed independently, therefore this device is not at all influenced by the channel length and frequency characteristics. Besides, a depletion layer along the extension part of a pair of the layers 4 right and left is made continuous at the minimum interval part of the P-layer 4. Accordingly, the field concentration at the tip of the groove is largely alleviated, resulting in the remarkable improvement of the withstand voltage.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office